



**Vyšší odborná škola a
Střední průmyslová škola elektrotechnická
Božetěchova 3, Olomouc**

Třída : M4

Školní rok : 2000 / 2001

ARITMETICKOLOGICKÁ JEDNOTKA

*III. Praktická úloha z předmětu
elektronické počítače (EPO)*

Vypracoval : Tomáš MOŘKOVSKÝ

Datum zadání : 12. 9. 2000

Datum odzkoušení : 7. 11. 2000

Datum odevzdání : 28. 11. 2000

Hodnocení : _____

Zadání

Navrhněte, sestavte a prakticky vyzkoušejte aritmetickologickou jednotku, která bude zvládat tyto operace:

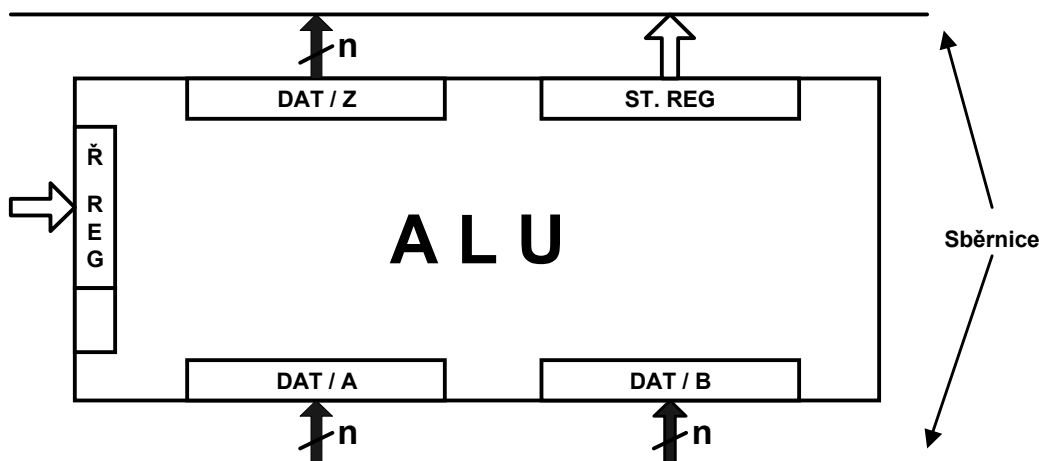
- a) logický součin
- b) logický součet
- c) aritmetický součet (včetně předchozího přenosu)

Rozbor

ALU (aritmetickologická jednotka) provádí aritmeticko-logické operace mezi n-bitovými vstupními slovy A a B, výsledkem je výstupní n-bitové „sériové“ slovo Z.

ALU je schopna provádět 2^r operací, kde r je počet bitů vstupního řídicího registru.

Schématické znázornění běžné ALU:



Vysvětlení jednotlivých vstupů a výstupů běžné ALU:

Označení	Popis
Ř. REG	vstupní řídicí registr
DAT / A	datový vstup A
DAT / B	datový vstup B
DAT / Z	datový výstup Z
ST. REG	výstupní strojový registr

Tabulka funkcí běžné ALU:

Budící p.	ŘR 3	ŘR 2	ŘR 1	Funkce	Popis funkce
0	0	0	0	0	nulová funkce
1	0	1	0	$Z_i = A_i$	průchod
2	0	1	1	$Z_i = A_i \& B_i$	logický součin
3	1	0	0	$Z_i = A_i \vee B_i$	logický součet
4	1	0	1	$Z_i = Z_i - 1$	posun o 1 bit doprava
5	1	1	0	$Z_i = Z_i + 1$	posun o 1 bit doleva
6	1	1	0	$Z_i = A_i + B_i$	aritmetický součet
6	1	1	0	$T_1 = Z_7$	test na znaménko
6	1	1	0	$T_2 = P$	test na přetečení
7	1	1	1	$Z_i \equiv A_i \equiv B_i = 1$	ekvivalence

Návrh

1. Volba výstupních funkcí a jejich adresace ve vstupním registru

Tabulka funkcí zadané ALU:

Budící p.	ŘR 3	ŘR 2	ŘR 1	Funkce	Popis funkce
0	0	0	0	$Z_i = A_i \& B_i$	logický součin
1	0	0	1	$Z_i = A_i \vee B_i$	logický součet
2	0	1	0	$Z_i = A_i + B_i + P_{i-1}$	aritmetický součet
2	0	1	0	$T_1 = P_i$	přenos

Rovnice funkce:

$$Z_i = \left[\left(\overline{R_3} \cdot R_2 \cdot \overline{R_1} \right) \cdot (A \& B) \right] \vee \left[\left(\overline{R_3} \cdot R_2 \cdot R_1 \right) \cdot (A \vee B) \right] \vee \left[\left(R_3 \cdot \overline{R_2} \cdot \overline{R_1} \right) \cdot (A + B + P_{i-1}) \right] \vee \left[\left(R_3 \cdot \overline{R_2} \cdot \overline{R_1} \right) \cdot P_i \right]$$

$$F_1 = A_i \& B_i$$

$$F_2 = A_i \vee B_i$$

$$F_3 = A_i + B_i + P_{i-1}$$

$$F_{3P} = P_i$$

2. Definice daných funkcí – tabulky

logický součin:

B _i	A _i	Z _i
0	0	0
0	1	0
1	0	0
1	1	1

logický součet:

B _i	A _i	Z _i
0	0	0
0	1	1
1	0	1
1	1	1

aritmetický součet:

P_{i-1}	B_i	A_i	Z_i	P_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

3. Minimalizace funkcí a jejich převod na NAND

funkce F_1

- minimalizovat nelze, NAND: $F_1 = \overline{\overline{A_i \cdot B_i}}$

funkce F_2

- minimalizovat nelze, NAND: $F_2 = \overline{\overline{A_i \cdot B_i}}$

funkce F_3 a F_{3P}

- minimalizace Karnaughovými mapami
(na základě výsledků v tabulce funkce aritmetického součtu)

funkce F_3

	P_{i-1}			
	0	1	0	1
B_i	1	0	1	0
	A_i			

funkce F_{3P}

	P_{i-1}			
	0	0	1	0
B_i	0	1	1	1
	A_i			

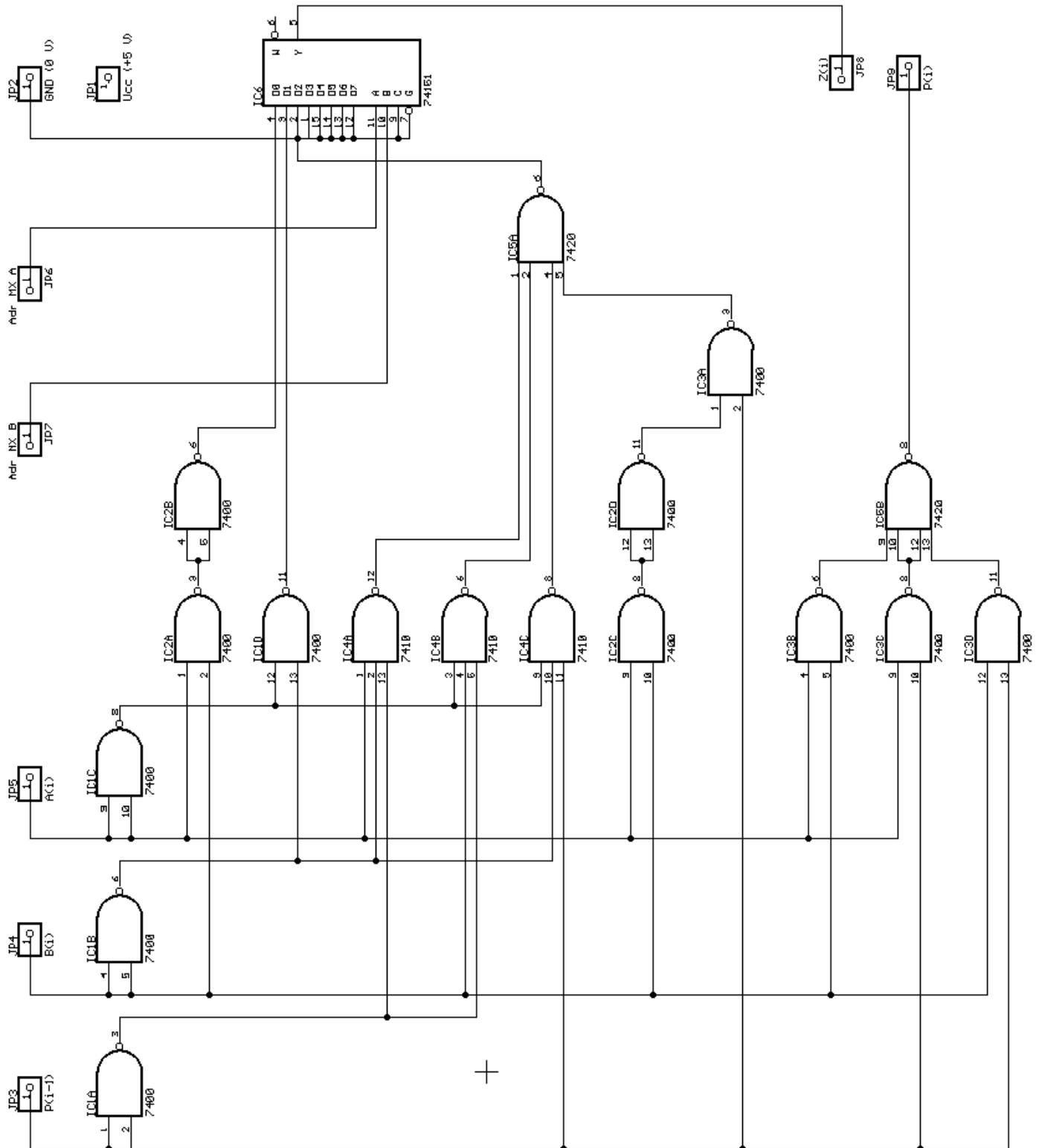
$$F_3 = (\overline{P_i} \cdot \overline{B_i} \cdot A_i) \vee (\overline{P_i} \cdot B_i \cdot \overline{A_i}) \vee (P_i \cdot \overline{B_i} \cdot \overline{A_i}) \vee (P_i \cdot B_i \cdot A_i)$$

$$\text{NAND: } F_3 = \overline{\overline{P_i \cdot B_i \cdot A_i} \cdot \overline{\overline{P_i \cdot B_i \cdot A_i}} \cdot \overline{\overline{P_i \cdot B_i \cdot A_i}} \cdot \overline{\overline{P_i \cdot B_i \cdot A_i}}}$$

$$F_{3P} = (B_i \cdot A_i) \vee (P_i \cdot A_i) \vee (P_i \cdot B_i)$$

$$\text{NAND: } F_{3P} = \overline{\overline{B_i \cdot A_i} \cdot \overline{\overline{P_i \cdot A_i}} \cdot \overline{\overline{P_i \cdot B_i}}}$$

Schéma zapojení



Rozpiska použitých součástek a zapojení svorek:

Rozpiska:

Ozn.	Typ	Poznámka
IC1, IC2, IC3	7400	4x2 vstup NAND
IC4	7410	3x3 vstup NAND
IC5	7420	2x4 vstup NAND
IC6	74151	8-vst. multiplexor
JP1 – JP9	svorky zkoušecího pultu	viz tabulka níže

Svorky:

Ozn.	Zkratka	Popis	Realizace
JP1	Ucc	napájení (+ 5V)	napájecí svorka
JP2	GND	napájení (0 V)	napájecí svorka
JP3	P(i-1)	vstup posl. přenosu	přepínač log 0 a 1
JP4	B(i)	2. datový vstup	přepínač log 0 a 1
JP5	A(i)	1. datový vstup	přepínač log 0 a 1
JP6	Adr MX A	adresový vstup MX	přepínač log 0 a 1
JP7	Adr MX B	adresový vstup MX	přepínač log 0 a 1
JP8	Z(i)	datový výstup	logická sonda
JP9	P(i)	přenos	logická sonda

Závěr

Schéma se nepatrně liší od návrhu v NAND (náhrada 3-vstupového hradla NAND třemi 2-vstupovými), neboť touto záměnou využijeme zbylá 2-vstupová hradla a ušetříme tak jeden integrovaný obvod.

Aritmetický součet je možné doplnit o kontrolu přetečení. K přetečení by došlo pouze v jednom případě: $P_{i-1} = 0$, $A_i = 1$, $B_i = 1$. Dokonce ani kombinace $P_{i-1} = 1$, $A_i = 1$, $B_i = 1$ není klasifikována jako přetečení, neboť zároveň se přesouvá přenosový bit.

Uvedený návrh bere na vědomí, že na závadu nebude stálé zaznamenávání přenosového bitu. Funkce tím není ovlivněna, pouze obsazuje místo jednoho bitu výstupního registru. Možno ošetřit přidáním dvou hradel AND nebo dvakrát dvou NAND sériově, která by násobila výstupní funkci či přenos s výstupem multiplexoru - na daném vstupu pevně připojena log. 1).

Použité pomůcky

sešit (CIT, EPO), nepájivé pole, součástky (4x IO, vodiče), zkoušecí pult, DMM Metex, PC (MS Win, MS Office, MS Visio, Eagle 3.55, Electronic Workbench 4.1)